

PESQUISA DA ARQUITETURA E ELETRÔNICA APLICADA À RECONFIGURABILIDADE DE UM RÁDIO DEFINIDO POR SOFTWARE

FRANCISCO AUGUSTO DA COSTA GARCIA

Engenharia Elétrica
Universidade de Brasília - UnB

<http://www.ene.unb.br>

[e-mail: sdr.unb@gmail.com](mailto:sdr.unb@gmail.com)

Resumo – Dando prosseguimento ao projeto proposto há um ano, no Laboratório de Estruturas de Microondas e Ondas Milimétricas (LEMON) da UnB, de desenvolvimento de um protótipo de Rádio Definido por *Software* a partir de um *COTS*, fazendo uso de um DSP, este artigo pretende definir os requisitos eletrônicos envolvidos na realização da reconfigurabilidade desse RDS. Esses parâmetros permitirão a alteração de características do sistema pelo usuário e suplantarão as limitações de operabilidade do programa do protótipo atual. É esperado, como resultado, um novo *hardware* mais compatível com os sistemas atuais. Devido à natureza deste tipo de pesquisa, este projeto pode realizar contribuições significativas no sentido de prover uma base de desenvolvimento de Rádios Definidos por *Software* mais próximos do que se define como o ideal, permitindo análise de desempenho em termos de processamento e tempo de troca de modos.

Abstract – Following the project proposed one year ago to develop a Software Defined Radio prototype from a *COTS* using a DSP, the article intends to define the involved electronic requirements in the accomplishment of the reconfigurability of the SDR, overcoming the software limitations of the current prototype. These parameters will allow for user changes in the system's characteristics. Thus, a hardware with a higher compatibility to the current systems is expected. Due to nature of the research, this project may bring out some significant contributions in the direction of providing a development in Software Defined Radios nearer to what is deemed as ideal, allowing for processing and time performance analysis.

Keywords – Software Defined Radio, SDR, Digital signal processor, DSP, smart antenna.

1 Introdução

O grupo de estudos em RDS da Universidade de Brasília tem desenvolvido pesquisas sobre o desenvolvimento de um Rádio Definido por *Software* simples, a partir de um produto já pronto e disponibilizado para venda imediata, mas com outras finalidades, um *COTS*. Trata-se de um rádio digital, processado por um DSP, com *hardware* rigidamente fixo. Ou seja, a reconfigurabilidade desse rádio deverá envolver alterações radicais em seu projeto. Com o Rádio Definido por *Software*, pode-se ter uma grande variedade de interfaces aéreas e modos de operação para o rádio. Assim, com o desenvolvimento do RDS pretende-se atender à gama de serviços pessoais

disponíveis como acesso à rede celular, TV Digital, redes WLAN, WPAN, etc.

A convergência dos sistemas móveis pessoais para um único dispositivo é uma previsão já assumida por toda a comunidade científica para alcançar os objetivos dos sistemas de 4ª geração. Por este motivo, este trabalho propõe um reconfigurador de dois modos para o *hardware* já testado na UnB [1, 2].

Os aspectos envolvidos no reconfigurador envolvem antenas inteligentes, filtros digitais, eletrônica embarcada, processamento digital de sinal e *software* de utilitários e de segurança. Uma descrição dos trabalhos já realizados e resultados obtidos pelo grupo de RDS da UnB podem ser encontrados em [1, 2]. Não

é objeto desse artigo esgotar todos os temas relacionados, mas abordar algumas características da eletrônica envolvida.

Este artigo apresenta no item 2 uma evolução dos sistemas de comunicação rádio. No item 3, a proposta de implementação do reconfigurador é feita, além de comentar a sua comunicação com um terminal computador. Finalmente, o item 4 realiza algumas conclusões.

2 A evolução dos Sistemas de Rádio

Nos últimos 100 anos, quase que foi ocupado todo o espectro de rádio com tantos serviços disponibilizados, como radiodifusão, serviços de comunicações críticas, rede celular, enlaces de microondas, comunicação satélite, entre outras. Esses serviços ocupam, inclusive, as frequências mais altas, da faixa de MHz até muitos GHz. Dessa forma o esquema de transmissão com uso de transmissores superheteródinos com uma única frequência intermediária não são suficientes. Os sinais são, em sua maioria, banda estreita e, dessa forma, imprecisões dos componentes discretos eletrônicos utilizados acarretam grandes problemas de ruído e inoperância. O abaixamento de frequência necessário para a demodulação do sinal, em um único passo, para frequências altas necessita de osciladores de grande precisão e de alto valor, o que é economicamente e tecnicamente inviável. O uso de duas frequências intermediárias torna-se então inevitável.

Assim, esse novo paradigma dos rádios, aliado à necessidade de processar os sinais digitalmente, implicou que a segunda frequência intermediária seja muito baixa, perto da banda básica. Os sinais precisam estar dessa forma para que os conversores analógico-digitais possam tomar amostras suficientes para poder recompor o sinal sem comprometimento de qualidade. Mesmo atualmente, não são viáveis conversores de alta frequência com alta resolução.

No entanto, essas alterações no *hardware* dos rádios os deixaram rígidos para eventuais reconfigurações, visando mais serviços ou modos. É nesse sentido, de propor reconfigurabilidade, que o RDS propõe a proximidade da amostragem do sinal na antena, com todas as dificuldades

que isso acarreta para o projeto do *hardware* e todas as facilidades de reconfigurabilidade do *software*.

Seguindo os modelos de migração para uma arquitetura RDS da Figura 1, tem-se que o COTS da UnB se enquadra mais próximo da última linha, com duas FI's seguida da conversão do sinal para digital. Ao final, pretende-se um dos outros métodos [2].

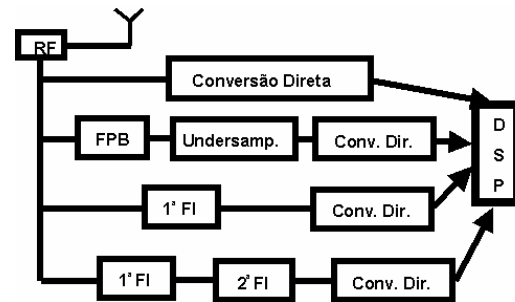


Figura 1 – Possibilidades de migração dos sistemas de Rádio para uma arquitetura RDS [2 modificado]

3 O Reconfigurador

Na tentativa de minimizar o retrabalho na placa de circuito impresso do Rádio Digital protótipo da UnB, e seguindo o caminho natural do sinal advindo da antena até o dispositivo de processamento, foi sugerido um reconfigurador de dois modos para trabalhar na faixa de VHF baixa e alta.

Os dois modos serão carregados para o DSP por meio de um barramento de alta velocidade, como o USB, possibilitando, inclusive, um caminho bidirecional para dados. O código referente a cada um dos modos irá então configurar os pinos de entrada e saída do DSP, configurar o tipo de modulação esperado, verificar a codificação do canal e finalmente, reconfigurar o DDS, *Direct Digital Synthesis*. O DDS é responsável pela geração da frequência do oscilador local, que, juntamente com o misturador, irão realizar a conversão do sinal RF para uma frequência intermediária fixa para os dois modos. A partir dessa FI invariável fica mais coerente usar um tipo único de conversor analógico-digital sem alteração de configuração para o mesmo. Ou seja, ter-se-á indubitavelmente o sinal dentro da faixa do conversor analógico-digital, independentemente da frequência de

chegada, pois a frequência do DDS forçaria um abaixamento para essa frequência fixa.

O sinal RF, chegando atenuado na antena, passa por um LNA e por um filtro de seletividade na faixa de VHF, com alto índice de rejeição fora da faixa desejada. Após o misturador, que realiza o abaixamento de frequência, segue um segundo filtro passa-baixas e o conversor analógico-digital, que disponibiliza o sinal amostrado ao DSP para processamento do sinal em banda básica. A Figura 2 apresenta um diagrama destes passos.

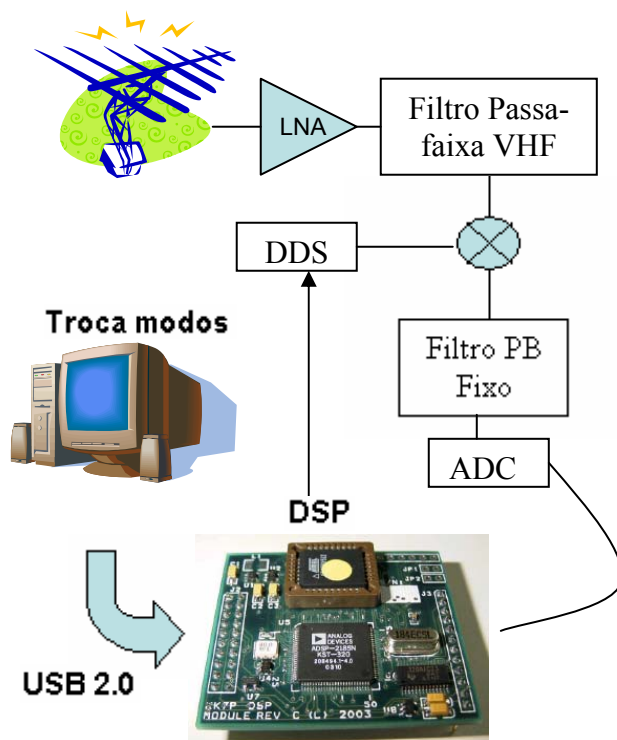


Figura 2 – Diagrama proposto do reconfigurador de dois modos

O modelo para o DDS a ser usado, figura 3, é na forma de um oscilador controlado numericamente para formar de forma ágil uma onda senoidal com uma frequência e fase. Por meio de técnicas de processamento de sinais integradas e uma tabela de consulta, *look-up table*, em uma memória ROM, é possível obter uma frequência de saída com uma precisão de 0,0291Hz com um relógio de 125MHz de referência. Essa frequência pode ser atualizada cerca de 20 milhões de vezes por segundo, podendo inclusive gerar sinais modulados. Essas características

fazem parte do modelo AD9850 da *Analog Device*.

Existem duas formas de se configurar a frequência a ser sintonizada. Ou isso é feito com 5 Bytes, quatro para a frequência e um para a fase, ou 50 bits serialmente.

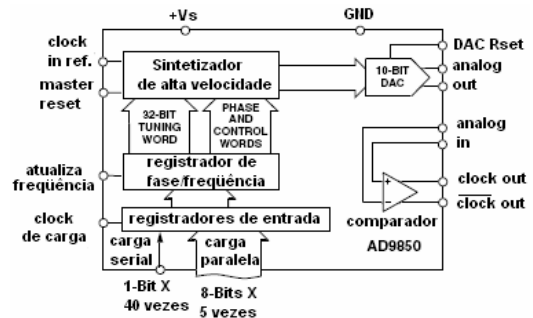


Figura 3 – Diagrama de blocos do DDS AD9850, da *Analog Device*, considerado para o circuito em questão

Um Rádio definido por *Hardware* (rádios convencionais) normalmente é configurado para apenas um esquema de transmissão/recepção, que envolve qual modulação usar, como será a interface de controle, canais e frequências de transmissão e de recepção. No caso proposto, há reconfigurabilidade por se tratar de dois modos diferentes, que podem ter esquemas de modulação, codificação da fonte e do canal, e até mesmo técnicas de segurança da informação diferentes. Isso se faz possível pela interface com o computador.

O projeto do COTS em seu estado natural difere em muitos aspectos mencionados do projeto proposto, dado que para o COTS não era prevista alteração do modo e o projeto era a princípio um rádio amador digital.

Para elucidar as principais diferenças entre o projeto original e o novo projeto proposto, segue uma análise do que fica e o que vai ser trocado, alterado, ou acrescentado.

A placa original já conta com o LNA, *low noise amplifier*, ou amplificador de baixo ruído, e um filtro passa-faixa como desejado para o reconfigurador. No entanto, a resposta do filtro deve ser diferente. A seletividade do circuito original implica inevitavelmente em apenas um modo de operação, haja vista que qualquer sinal fora da região de 144-148MHz é

fortemente atenuado, Figura 4 [3, 4]. Ou seja, o reconfigurador, para ser capaz de operar em dois ou mais modos deve: ou implementar filtros analógicos reconfiguráveis com chaves, ou mesmo um banco de filtros adaptados para cada faixa desejada, correndo o risco de ruído interno e circuitos excessivamente grandes, ou fazer uso de um único filtro com pouca atenuação para as faixas em questão e nulos fora delas. Para modos trabalhando em VHF alto e VHF baixo, na faixa de 60MHz e 150MHz, foi escolhida a segunda forma: um único filtro com resposta em frequência fixa no lugar do original.

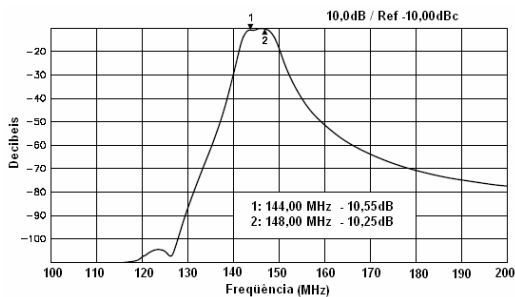


Figura 4 – Resposta em frequência do primeiro filtro que antecede o primeiro abaixamento de frequência [4]

O projeto do DSP-10 possui duas frequências intermediárias até fazer o processamento do sinal em banda básica, em 15kHz. Os osciladores locais, localizados após a filtragem do sinal são fixos e controlados por um PLL, *phase locked loop*, que é controlado pelo DSP-10. Para geração do sinal é usado um cristal de referência de 10MHz.

A sugestão inicial do reconfigurador é diminuir o número de frequências intermediárias para somente uma, aproximando a digitalização da antena como uma alternativa para a arquitetura RDS, Figura 1. Com a alternativa de fácil reconfigurabilidade e alta precisão do DDS já explicado, far-se-á a substituição do oscilador local. Há grande vantagem também do ponto de vista de tamanho e da diminuição do circuito adjacente necessário. A proposta é que para qualquer módulo de rádio em funcionamento, a reconfiguração do DDS force o deslocamento da frequência para uma única frequência, constante, a fim de fazer uso do filtro a cristal já montado no COTS.

Para o uso inicial do rádio, o sinal será apenas de voz com banda não superior à 4kHz. Assim, pode-se usar o

filtro a cristal já montado, que tem como resposta em frequência o gráfico da Figura 5.

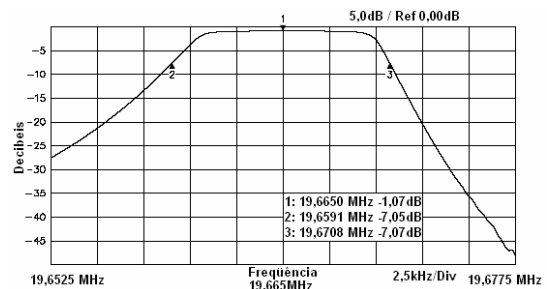


Figura 5 – Resposta em frequência do segundo filtro passa-faixa, usado antes do segundo abaixamento de frequência no DSP-10 [4]

Desse ponto em diante, o circuito original do COTS deve ser todo refeito para atender aos requisitos do reconfigurador. O sinal analógico já filtrado e centrado em 19,665MHz é digitalizado com um conversor A/D de 65 MSPS de 14 bits. Dada a banda passante do filtro de cristal supracitado, uma subamostragem do sinal com um conversor menos poderoso é uma alternativa a ser avaliada no futuro [5].

O sinal digital de 14 bits entra serialmente para decimação no DSP e demodulação. Parte dessas funções podem ser feitas no computador como é também a proposta da placa USRP (*Universal Software Radio Peripheral*) [6], também objeto de estudo do Grupo de Rádio da UnB.

A comunicação com um computador está prevista para fazer uso do protocolo USB 2.0, com taxas de transmissão de até 480Mbps. Esse caminho bidirecional pode auxiliar o processador do rádio calculando e recalculando o ganho da antena, algoritmos de criptografia, além de permitir carregar novos modos para a interface do *front-end*. O DSP se comunica com a porta USB com a ajuda do integrado USBN 9603 que é um controlador de barramento serial universal *Full Speed* com suporte para DMA, *direct memory access* [7].

4 Conclusão

Nesse artigo pretendeu-se aprofundar nos quesitos da eletrônica envolvida na reconfigurabilidade de um RDS. O estudo do RDS envolve ainda outras partes como a antena e o programa

a ser carregado no dispositivo de processamento. Outros pesquisadores estão trabalhando especificamente nessa área e terão seus trabalhos agregados ao reconfigurador proposto.

Ao se comparar a arquitetura proposta com as possibilidades de evolução para um sistema RDS da Figura 1, observa-se que o projeto aproxima-se do segundo método descrito, haja vista as técnicas utilizadas para o reconfigurador.

Desse modo, o protótipo proposto se configura como uma plataforma RDS simples. A repetição desse *front-end RF* em paralelo com outros é visto ainda como um próximo passo do projeto. Com várias antenas, configurando uma matriz de antenas, poderia-se recalculer o ganho de cada antena separadamente para alterar o diagrama de radiação da mesma. Espera-se atingir um melhor desempenho e melhor relação sinal ruído. Com essas antenas inteligentes, tem-se a diminuição da interferência co-canal e do multipercurso. Da mesma forma, pode-se calcular a direção de chegada do sinal na antena.

Agradecimentos

A todos do grupo de Rádio da UnB, que sempre estiveram presentes. Ao GPDS, Grupo de Processamento Digital de Sinais da UnB, pelo espaço físico cedido para pesquisa.

Referências Bibliográficas

- [1] SILVA, Fernanda B. da, GARCIA, Francisco Augusto da C., TAKADA, Izumi Renata S., SASAKI, Marcello G., Princípio do RDS e Aplicação no DSP-10, DSPX e FPGA com Sistema Semi-embarcado, volume 4, 2/2005 disponível online em: http://www.revdigonline.com/artigos_download/art_21.pdf.
- [2] Fernanda Brandi S., Francisco A. C. Garcia, Izumi R. S. Takada, Marcello G. Sasaki, André G. M. Lima, Eduardo Wolski and Leonardo R. A. X. Menezes, Development of a Testbed to Intelligent Systems on Software Defined Radio, *IMOC, International Microwave and Optoelectronics Conference*, 2005, Brasília, Brasil
- [3] LARKIN, Robert, DSP-10 Project, <http://www.proaxis.com/~boblark/dsp10.htm>
- [4] LARKIN, Robert, The DSP-10: An All-Mode 2-Meter Transceiver Using a DSP IF and PC-Controlled Front Panel – Part I, II, III disponível online em: <http://www.arrl.org/tis/info/sdr.html>
- [5] Analog Device, AD6644 - 14-Bit, 65 MSPS Wideband Analog-to-Digital Converter, disponível online em: <http://www.analog.com>
- [6] Universal Software Radio Peripheral, <http://comsec.com/wiki?UniversalSoftwareRadioPeripheral>
- [7] National Semiconductor - Universal Serial Bus Full Speed Node Controller with Enhanced DMA Support – disponível online em: <http://www.national.com/pf/US/USBN9603.html>
- [8] Project: Linux DSP-10, disponível online em: <http://sourceforge.net/projects/linux-dsp-10/>
- [9] Fórum sobre Rádio Definido por Software www.sdrforum.org
- [10] SCHNYDER, Franz, Haller, Implementation on FM Demodulator Algorithms on a High Performance Digital Signal Processor, Diploma Theses, Nanyang – Technological University

Biografia



Francisco Augusto da Costa Garcia é estudante de Engenharia Elétrica na UnB, Universidade de Brasília, onde cursa o 8º semestre. Aluno do programa voluntário de Iniciação Científica – PIBIC – UnB/CNPq. Estagiário de Engenharia de Hardware da WISE Telecomunicações

Trabalho desenvolvido com o apoio do CNPq/PIBIC – UnB e FAP/DF